

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representation of
The original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

THIS PAGE BLANK (USPTO)

Patent Abstracts of Japan

PUBLICATION NUMBER : 60195978
PUBLICATION DATE : 04-10-85

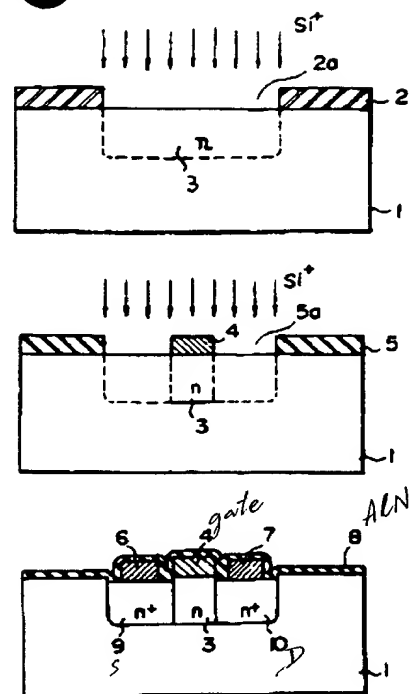
APPLICATION DATE : 19-03-84
APPLICATION NUMBER : 59051207

APPLICANT : FUJITSU LTD;

INVENTOR : YAMAGUCHI YASUHIRO;

INT.CL. : H01L 29/80 H01L 21/265 H01L 21/28

TITLE : MANUFACTURE OF
SEMICONDUCTOR DEVICE



ABSTRACT : PURPOSE: To control a threshold value with good reproducibility by forming a gate electrode, a source electrode and a drain electrode and then annealing them, thereby activating impurity ions of the channel region, source region and the drain region while monitoring the threshold voltage.

CONSTITUTION: An ion implantation for forming a channel region in a GaAs semi-insulating substrate 1 is performed, a heat treatment is executed to form an N type layer 3. A gate electrode 4 of an SiX film is formed. To form source and drain regions, with the electrode 4 as a mask high density ions are implanted. Source and drain electrodes 6, 7 of WSi₂ film are formed. An aluminum nitride film 8 is formed as a protective film, a high density ion implanted region is activated by flash annealing to form source and drain regions 9, 10. Since the electrodes 9, 10 are formed, the threshold is controlled readily by regulating the conditions of annealing while observing the threshold value.

COPYRIGHT: (C)1985,JPO&Japio

THIS PAGE BLANK (USPTO)

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭60-195978

⑬ Int. Cl.

識別記号

庁内整理番号

⑭ 公開 昭和60年(1985)10月4日

H 01 L 29/80
21/265
21/28

7925-5F
6603-5F
7638-5F

審査請求 未請求 発明の数 1 (全7頁)

⑮ 発明の名称 半導体装置の製造方法

⑯ 特 願 昭59-51207

⑰ 出 願 昭59(1984)3月19日

⑱ 発 明 者	大 西 豊 和	川崎市中原区上小田中1015番地	富士通株式会社内
⑲ 発 明 者	山 口 泰 弘	川崎市中原区上小田中1015番地	富士通株式会社内
⑳ 出 願 人	富 士 通 株 式 会 社	川崎市中原区上小田中1015番地	
㉑ 代 理 人	弁 理 士 柏 谷 昭 司	外 1 名	

明 細 書

1 発明の名称

半導体装置の製造方法

2 特許請求の範囲

基板のチャネル領域に低濃度の不純物イオンを注入してそれを活性化するアニールを行い、次いで、高融点金属膜またはそのシリサイドからなるショットキ・バリヤ・ゲート電極を形成し、次いで、該ショットキ・バリヤ・ゲート電極をマスクとしてソース領域形成予定部分及びドレイン領域形成予定部分に前記チャネル領域よりも高濃度の不純物イオンを注入し、次いで、高融点金属膜またはそのシリサイドからなるソース電極及びドレイン電極を形成し、次いで、前記アニールよりも高温且つ短時間であるアニールをその温度または時間を調節して行うことに依って前記チャネル領域に於ける不純物イオンを活性化して閾値の制御をすると共に前記ソース領域形成予定部分及びドレイン領域形成予定部分に注入された不純物イオンを活性化してソース領域及びドレイン領域を形成する

工程が含まれてなることを特徴とする半導体装置の製造方法。

3 発明の詳細な説明

発明の技術分野

本発明は、セルフ・アライメント方式を適用してショットキ・バリヤ・ゲート電界効果型半導体装置を製造する方法の改良に関する。

従来技術と問題点

例えば、GaAsのような化合物半導体を主材としてショットキ・バリヤ・ゲート電界効果型トランジスタを製造する場合、ソース領域及びドレイン領域を形成するのにタングステン(W)またはタングステン・シリサイド(WSi₂)など高融点金属膜またはそのシリサイドからなる高耐熱性を有するゲート電極をマスクとしてイオン注入法を適用する、所謂、セルフ・アライメント方式を採用することに依って小型化し、ソース・ゲート間及びゲート・ドレイン間の抵抗を小さくして高周波特性を向上させると共に漏れ度を高めることが行われている。

その場合、ショットキ・バリヤ・ゲート電界効果型トランジスタの閾値としては、予備実験に依り得られたデータを基にして、イオン注入条件、即ち、注入エネルギーと注入量、或いはアニール条件、即ち、アニール温度とアニール時間などを調節することにより制御されている。

然しながら、そのようなことを行うには、予備実験の為に余分の半導体ウエハが必要であることのほかに、該実験が、閾値を直接監視しながら、その制御を行っているものではなく、間接的手段に依るものである為、その再現性は極めて悪いものであり、所望の閾値を得ることは甚だ困難である。

発明の目的

本発明は、セルフ・アライメント方式及びイオン注入法を適用して製造するGaAsショットキ・バリヤ・ゲート電界効果型トランジスタのような半導体装置に於ける閾値をその半導体装置の完成後に再現性良く制御できるようにする。

発明の構成

より長い時間が掛り、アニール温度が高い場合には、シート・キャリア濃度が所定値に達する迄の時間は短い。

例えば、相対的に低い温度でアニールされたイオン注入層を、その後、再びより高い温度でアニールすると、たとえ、アニール時間が短時間であっても、シート・キャリア濃度は増加する可能性がある。

イオン注入層に於いて、LSS (J. Lindhard, M. Scharsf, and H. E. Schiott) 分布を仮定した場合、閾値電圧 V_{th} とシート・キャリア濃度 N_s との間には、

$$V_{th} = V_{bi} - \frac{q N_s}{2 \pi} R_0 \left\{ \operatorname{erf} \left(\frac{R_0}{2 \sigma} \right) + 1 \right\} + \frac{q N_s}{2 \pi} \exp \left(- \frac{R_0^2}{2 \sigma^2} \right)$$

V_{bi} = ビルト・イン電圧
 R_0 = 平均射影深さ
 σ = 射影深さ分散
 q = 電荷単位
 e = 既電率

なる関係が有り、2回目のアニールに依ってシート・キャリア濃度が増加すれば、閾値は負側にシ

フトする。
 通常、ショットキ・バリヤ・ゲート電界効果型半導体装置を製造する場合、チャネル領域に不純物イオンを注入し、これを活性化するためのアニールを行い、また、ソース領域及びドレイン領域を形成する為に不純物イオンを注入し、これを活性化するためのアニールを行うので、都合、2回に亘る不純物イオン活性化のためのアニールが必要とされる。

一般に、イオン注入法に依って形成された不純物導入層に於けるアニール後のシート・キャリア濃度は、アニール温度及びアニール時間に依存して第1図に見られるような変化をする。

第1図はアニール温度をパラメータとしたアニール時間対シート・キャリア濃度の関係を表す線図である。

図では、横軸にアニール時間(分)を、また、縦軸にシート・キャリア濃度(任意目盛)をそれぞれ採っている。

図から判るように、アニール温度が低い場合には、シート・キャリア濃度が所定値に達する迄に

フトする。

2回目のアニールは、高温且つ短時間のアニールが好ましい。

低温での短時間のアニールは、シート・キャリア濃度を増加させる効果が少ない。

たとえ、低温で長時間のアニールを行うことに依ってシート・キャリア濃度が若干増加したとしても、キャリア分布が大きく変化するので実用にならない。

また、高温且つ長時間のアニールはシート・キャリア濃度の変化を期待することはできるが、その微細な制御は困難である。たとえ、その制御が容易であったとしても、チャネル領域に於けるキャリア分布の大幅な変化、ソース及びドレイン電極がコンタクトする高濃度領域からゲート電極下への注入イオンの拡散に依る短チャネル効果の発生、基板の熱変性などが生じるから、これも実用にならない。

ところで、従来の電気炉を用いたアニールの場合、高温且つ短時間のアニールは困難である。然

しながら、レーザ・アニール、ランプを用いたフラッシュ・アニール、グラファイト・ストライプ・ヒータを用いたアニール、荷電粒子を用いるアニール等を行えば可能である。

前記したアニールを実施する為には、2回目に行われる高温のアニールに依って、ショットキ特性が劣化しないようなゲート電極を用いることが必要である。

通常用いられているチタン(Ti)或いはアルミニウム(Al)などからなるゲート電極では、GaAsとゲート金属との間に於いて金属学的な反応を生じ、電界効果トランジスタ特性が劣化する。

然しながら、W、WSi₂など、高融点金属或いはそのシリサイドはGaAsとの間で熱的に極めて安定なショットキ接合を維持できる。

前記したような知見を基にして、本発明に於ける半導体装置の製造方法では、基板のチャンネル領域に低濃度の不純物イオンを注入してそれを活性化するアニールを行い、次いで、高融点金属或いはそのシリサイドからなるショットキ・バリア・ゲート電極を形成し、次いで、該ショットキ・バリア・ゲート電極をマスクとしてソース領域形成予定部分及びドレイン領域形成予定部分に前記チャンネル領域よりも高濃度の不純物イオンを注入し、次いで、高融点金属或いはそのシリサイドなど高温アニールの後にも安定なオーミック特性を示す電極材料からなるソース電極及びドレイン電極を形成し、次いで、前記アニールよりも高温且つ短時間であるアニールをその温度或いは時間を調節して行うことに依って前記チャンネル領域に於ける不純物イオンを活性化して閾値の制御をすると共に前記ソース領域形成予定部分及びドレイン領域形成予定部分に注入された不純物イオンを活性化してソース領域及びドレイン領域を形成する工程が含まれてなることを特徴とする構成を採っている。

このようにすると、閾値電圧をモニタしながらアニールを行うことができるので、その調整を正確に行うことが可能となり、所望の閾値を有する

半導体装置が得られる。

発明の実施例

第2図乃至第7図は本発明一実施例を解説する為の工程要所に於ける半導体装置の要部切断側面図であり、以下、これ等の図を参照しつつ説明する。尚、ここでは、ショットキ・バリア・ゲート電界効果型トランジスタを製造する場合を例示し、半導体としてGaAsを、また、ゲート電極としてWSi₂(x=0.6)をそれぞれ用い、勿論、セルフ・アライメント方式が適用されている。

第2図参照

(a) クロム(Cr)をドーブしたGaAs半導体性基板1に厚さ例えば6000(Å)程度の二酸化シリコン(SiO₂)膜2を形成し、これを通常の技法でパターンニングして窓2aを形成する。

(b) イオン注入法を適用し、チャンネル領域を形成する為のイオン打ち込みを行う。

このチャンネル領域を形成する為のイオン注入条件は、

注入イオン：シリコン(Si)
注入エネルギー：59(KeV)
注入量： $0.9 \times 10^{18} \text{ (cm}^{-2}\text{)}$
である。

第3図参照

(c) 二酸化シリコン膜2を除去してから新たに厚さ例えば1000(Å)程度の二酸化シリコン膜を形成し、前記不純物イオンを活性化する為の熱処理を行い、n型層3を得る。

前記不純物イオンを活性化する為のアニールを行った条件は、

外方拡散防止の保護膜：化学気相堆積(chemical vapour deposition: CVD)法で形成した二酸化シリコン膜

雰囲気：フォーミング・ガス
加熱源：電気炉
温度：750(℃)

時間: 15 (分)

である。

第4図参照

(d) 次に、外方拡散を防止する為に後から形成した保護膜である二酸化シリコン膜をフッ化水素酸 (HF) を用いて除去してから、スパッタリング法に依り全面に WSi_x ($x \approx 0.6$) 膜を形成した。

次に、 SiO_2 膜をマスクとし、四フッ化炭素 (CF_4) + 酸素 (O_2) ガスをエッチャントとするガス・エッチング法に依って前記 WSi_x 膜のエッチングを行いゲート電極4を形成する。

第5図参照

(e) 二酸化シリコン膜5を形成し、それをパターンニングすることに依り窓5aを形成してn型層3の表面を露出させる。

(f) 次に、ソース領域及びドレイン領域を形成する為、前記ゲート電極4をマスクとして高濃度のイオン注入を行う。

その為のイオン注入の条件は、

注入イオン: Si

注入エネルギー: 175 (KeV)

注入量: 1.7×10^{13} (cm^{-2})

である。

第6図参照

(g) 次に、スパッタリング法を適用することに依って全面に WSi_x 膜を形成してから、二酸化シリコン膜をマスクとし、 $CF_4 + O_2$ ガスをエッチャントとするエッチング法に依って前記 WSi_x 膜のエッチングを行いソース電極6及びドレイン電極7を形成する。ここで、形成した WSi_x からなるゲート電極6及びドレイン電極7のコンタクト抵抗を大きい、800 (Ω) 以上のアニールをすることに依り、高濃度GaAsとの間にオーミック・コンタクトを形成することが可能である。

第7図参照

(h) 最後に、窒化アルミニウム (AlN) 膜8を保護膜として形成し、タンゲステン・ハロゲン

ランプを用いたフラッシュ・アニール装置を用いて窒素 (N_2) 雰囲気中にて前記高濃度イオン注入領域を活性化するフラッシュ・アニールを行い、ソース領域9及びドレイン領域10を形成する。この際、ソース電極9及びドレイン電極10が形成されているから、閾値を調整しつつアニールの条件を調節して該閾値の制御を行うことは容易である。また、フラッシュ・アニールの場合、例えばアニール時間の調節は、フラッシュ回数に依って実行できるから好都合である。

第8図及び第9図は前記のようにして行った実験の結果を線図として表したものである。

第8図では、横軸にアニール時間 (秒) を、左縦軸にシート・キャリア濃度 N_s (cm^{-2}) を、右縦軸にシート移動度 μ_s ($cm^2/V \cdot s$) 並びにシート抵抗値 ρ_s (Ω/\square) をそれぞれ採っている。

第9図では、横軸にアニール温度 ($^{\circ}C$) を採っており、縦軸に関しては第8図と同じである。

各図から判るように、高濃度イオン注入領域の活性化は900 ($^{\circ}C$) 以上では4 (秒) で飽和値に達している。

第8図のデータを得た際のアニール条件は、温度が950 ($^{\circ}C$) で時間は4 (秒)、6 (秒)、8 (秒) であり、第9図のデータを得た際のそれは時間が6 (秒) で温度は900 ($^{\circ}C$)、950 ($^{\circ}C$)、1000 ($^{\circ}C$) である。

第10図及び第11図は前記のようにして得られたゲート長が2 (μm) のショットキ・バリア・ゲート電界効果型トランジスタに於ける閾値の2回目のアニール時間依存性 (第10図) 及びアニール温度依存性 (第11図) を表す線図である。

これ等の図から明らかなように、高濃度イオン注入領域のアニール時間及びアニール温度を変化させることに依り閾値を正の値から負の値に互に変化させることが可能である。尚、何れのアニール条件であってもトランジスタは正常な動作をすることが確認されている。

前記実施例に依って得られたショットキ・バリ

ヤ・ゲート電界効果型トランジスタはオーミック電極のコンタクト抵抗が若干大であり、電界効果型トランジスタとしての特性は良好とは言えないが、所望の電界効果型トランジスタの閾値をモニタする為の役割は充分に果たすことができる。

即ち、前記実施例に説明したショットキ・バリヤ・ゲート電界効果型トランジスタの閾値を観測しながら、本来のショットキ・バリヤ・ゲート電界効果型トランジスタに於けるチャネル領域とソース領域及びドレイン領域の活性化を行い、その後、本来の電界効果型トランジスタに対し、例えば、金・ゲルマニウム/金(Au-Ge/Au)等の低コンタクト抵抗を示すオーミック電極を形成すれば、所望の閾値を有する特性良好な高融点金属膜又はそのシリサイドからなるゲート電極を持ったショットキ・バリヤ・ゲート電界効果型半導体装置をセルフ・アライメント方式にて製造することができるものである。

また、他の構成、例えば、高融点金属膜又はそのシリサイドからなる電極上に低抵抗金属膜を積

層して多層構造にする等の手段を採れば、そのまま、本来のショットキ・バリヤ・ゲート電界効果型半導体装置として更に特性良好なものを得ることができる。

発明の効果

本発明に於ける半導体装置の製造方法では、基板のチャネル領域に低濃度の不純物イオンを注入してそれを活性化するアニールを行い、次いで、高融点金属膜又はそのシリサイドからなるショットキ・バリヤ・ゲート電極を形成し、次いで、該ショットキ・バリヤ・ゲート電極をマスクとしてソース領域形成予定部分及びドレイン領域形成予定部分に前記チャネル領域よりも高濃度の不純物イオンを注入し、次いで、高融点金属膜又はそのシリサイドなど高温アニール後も安定なオーミック特性を示す電極材料からなるソース電極及びドレイン電極を形成し、次いで、前記アニールよりも高温且つ短時間であるアニールをその温度或いは時間を調節して行うことに依って前記チャネル領域を活性化して閾値の制御をすると共に前記ソ

ース領域形成予定部分及びドレイン領域形成予定部分を活性化してソース領域及びドレイン領域を形成する工程が含まれてなることを特徴とする構成を採っている。

このような構成を採っているから、チャネル領域に於ける不純物イオンの活性化及びソース領域及びドレイン領域に於ける不純物イオンの活性化を行う為のアニールをする際にはゲート電極は勿論のこと、ソース電極及びドレイン電極も形成されているから、閾値電圧を観測しながらアニールを行うことができ、その結果、セルフ・アライメント方式を適用して小型化、即ち、高集積化され、しかも、設計通りの閾値を有するショットキ・バリヤ・ゲート電界効果型半導体装置を容易に製造することができる。

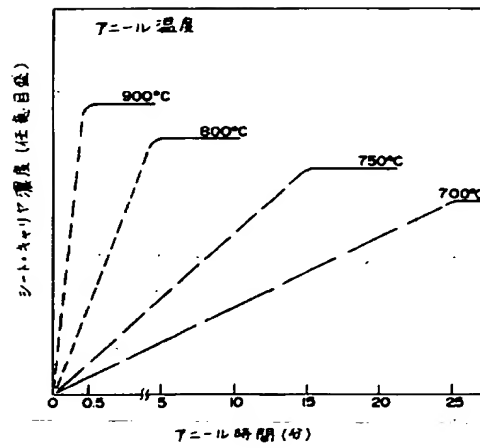
4 図面の簡単な説明

第1図はアニール時間対シート・キャリア濃度の関係を説明する為の線図、第2図乃至第7図は本発明一実施例を説明する為の工程要所に於ける半導体装置の要部切斷側面図、第8図は本発明を

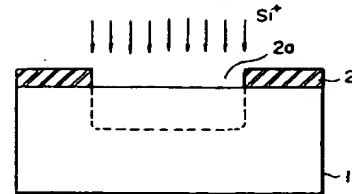
実施して得られたアニール時間対シート・キャリア濃度及びシート移動度及びシート抵抗値の関係を説明する為の線図、第9図は本発明を実施して得られたアニール温度対シート・キャリア濃度及びシート移動度及びシート抵抗値の関係を説明する為の線図、第10図は本発明を実施して得られたアニール時間対閾値の関係を説明する為の線図、第11図は本発明を実施して得られたアニール温度対閾値の関係を説明する為の線図をそれぞれ表している。

特許出願人	富士通株式会社
代理人弁理士	柏谷昭司
代理人弁理士	渡邊弘一

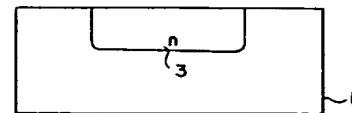
第 1 図



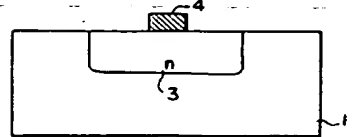
第 2 図



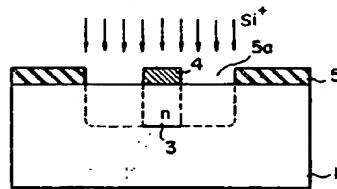
第 3 図



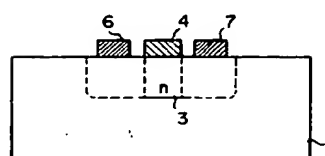
第 4 図



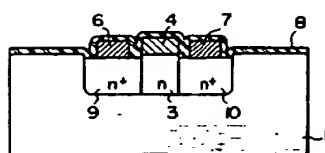
第 5 図



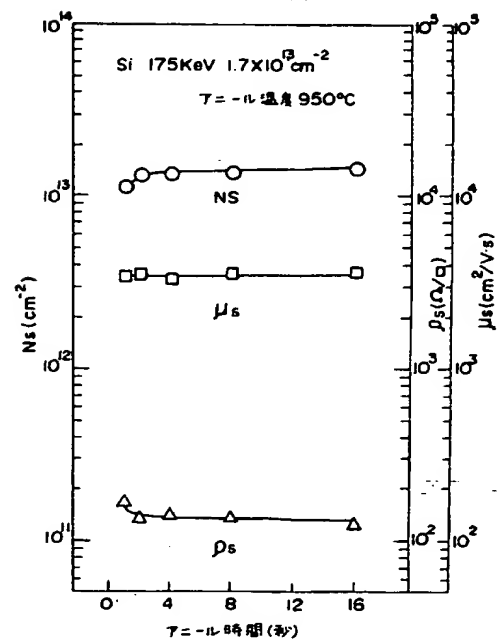
第 6 図



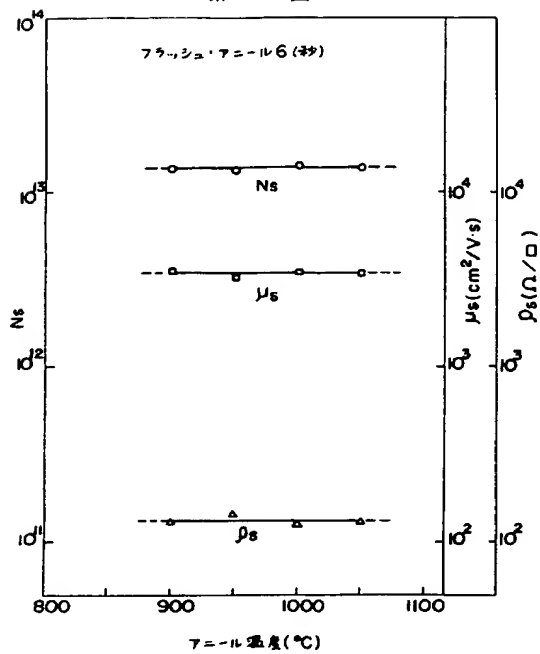
第 7 図



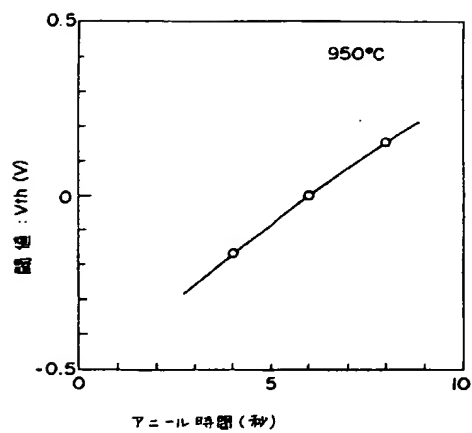
第 8 図



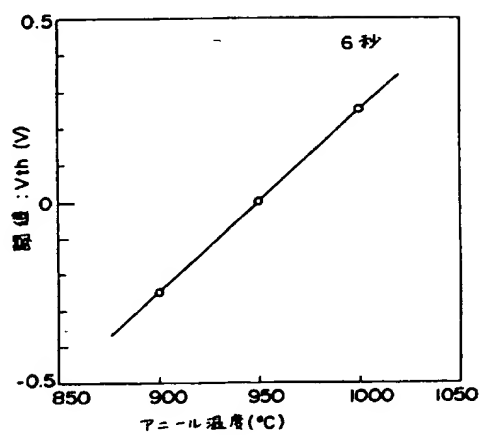
第 9 図



第 10 図



第 11 図



THIS PAGE BLANK (USPTO)